

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE DELETED (b)(7)(D)

⑫ 公開特許公報(A) 平2-3244

⑤ Int.Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月8日

H 01 L 21/336
29/50
29/784

U

7638-5F

8422-5F H 01 L 29/78 3 0 1 P

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 昭63-150186

⑱ 出 願 昭63(1988)6月20日

⑲ 発 明 者 田 村 直 義 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 児 嶋 秀 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 小 池 重 好 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁 理 士 柏 谷 昭 司 外 1 名

明 細 書

3 発明の詳細な説明

(概要)

1 発明の名称

半導体装置の製造方法

2 特許請求の範囲

半導体基板上にゲート絶縁膜とゲート電極とダミー・ゲート電極とを形成する工程と、

次いで、それらゲート電極パターンをマスクとするセルフ・アライメント方式に依る不純物のイオン注入及び注入された不純物を活性化するための熱処理を行ってソース領域及びドレイン領域を形成する工程と、

次いで、それらゲート電極パターンを埋める絶縁膜を形成してから前記ダミー・ゲート電極のみを除去する工程と、

次いで、前記ダミー・ゲート電極を除去した跡に高融点金属を埋め込む工程とを含んでなることを特徴とする半導体装置の製造方法。

縮小されたMIS (metal insulator semiconductor) 電界効果トランジスタをもつ半導体装置を製造するのに好適な方法に関し、

所謂、ダミー・ゲート・プロセスを採りながら、ゲート絶縁膜は最初に形成されたままの良好な状態を維持できるようにすることを目的とし、

半導体基板上にゲート絶縁膜とゲート電極とダミー・ゲート電極とを形成する工程と、次いで、それらゲート電極パターンをマスクとするセルフ・アライメント方式に依る不純物のイオン注入及び注入された不純物を活性化するための熱処理を行ってソース領域及びドレイン領域を形成する工程と、次いで、それらゲート電極パターンを埋める絶縁膜を形成してから前記ダミー・ゲート電極のみを除去する工程と、次いで、前記ダミー・ゲート電極を除去した跡に高融点金属を埋め込む工程とを含んでなるよう構成する。

(産業上の利用分野)

本発明は、縮小されたMIS電界効果トランジスタをもつ半導体装置を製造するのに好適な方法に関する。

半導体装置を高集積化する為には、その構成素子は縮小されなければならない。例えば、電界効果トランジスタに於いては、

- ① ゲート絶縁膜の膜厚
- ② ソース領域及びドレイン領域の深さ
- ③ ゲート電極の厚さ
- ④ チャネル長

などの値を小さくすることが必要である。

本発明では、前記②のソース領域及びドレイン領域の深さ、及び、③のゲート電極の厚さに注目する。

(従来の技術)

従来、ソース領域及びドレイン領域などの導電領域を形成する不純物導入には、良好な制御性、良好な均一性などの点から、不純物をイオン化して半導体基板に注入する、所謂、イオン注入法が

採用されている。

この場合、ゲート電極をマスクとするセルフ・アライメント方式を採ることが多い。ところが、ゲート電極が薄い場合、イオンがゲート電極を突き抜け、その下地のゲート絶縁膜に達して耐圧を劣化させる旨の問題がある。

また、ゲート電極を薄くした場合の他の問題として、ゲート電極・配線の抵抗値が増加することが挙げられている。従って、高集積化の為には薄いゲート電極が好ましいからといって、無闇に薄くすることはできない。このような問題に対処するには、ゲート電極に高融点金属、例えばチタン(Ti)などを用いることで解決する。然しながら、この場合、セルフ・アライメント方式を採ることから、ソース領域及びドレイン領域のイオン注入前に高融点金属ゲート電極が形成されていることは勿論であり、従って、ソース領域及びドレイン領域を構成する不純物を活性化する為の熱処理を行うと高融点金属ゲート電極が変質し、特にゲート絶縁膜から剥離する現象が起こる。

本発明者等は、このような問題を解消する為、ダミー・ゲート・プロセスと呼ばれる技法を開発した。

即ち、MIS電界効果トランジスタのゲート電極を二酸化シリコン(SiO_2)に対して高いエッチング選択比をもっている多結晶シリコンで形成し、それをマスクとしてイオン注入を行うことに依り、セルフ・アライメント方式でソース領域及びドレイン領域を形成し、注入された不純物を活性化する為の熱処理を行う。ここまでは従来技術と変わらないが、この後、例えば化学気相成長(chemical vapor deposition: CVD)法を適用して SiO_2 等を堆積し、それをエッチ・バックして前記多結晶シリコン・ゲート電極の頂面を露出させ、次いで、適切なエッチング法を適用して該多結晶シリコン・ゲート電極を除去し、その跡に高融点金属を埋め込んでゲート電極とするものである。

このようにすると、高融点金属ゲート電極は高温の熱処理に曝されることはないから、下地から

剥がれるなどの虞は皆無となる。

(発明が解決しようとする課題)

前記改良された従来技術に依ると、高融点金属ゲート電極の変質を抑止する点では、かなりの好成績をおさめることができた。

然しながら、その手段には未だ問題が残ることが判った。

即ち、当初に作成したダミー・ゲート電極を除去する際、ゲート絶縁膜がかなりのダメージを受けることである。

本発明は、所謂、ダミー・ゲート・プロセスを採りながら、ゲート絶縁膜は最初に形成されたままの良好な状態を維持できるようにする。

(課題を解決するための手段)

第1図及び第2図は本発明の原理を説明する為の工程要所に於ける半導体装置の要部切断側面図を表し、以下、これ等の図を参照しつつ解説する。

第1図参照

- (1) シリコン半導体基板1上の能動素子形成領域に SiO_2 からなるゲート絶縁膜6、例えば不

純物含有多結晶シリコンを材料とする第一層目のゲート電極7、例えば窒化チタン(TiN)からなるエッチング停止膜8、例えば多結晶シリコンを材料とするダミー・ゲート電極9を形成する。

- (2) 不純物イオンを注入してソース領域10及びドレイン領域11を形成し、熱処理を行って不純物の活性化をする。

第2図参照

- (3) 第一層目のゲート電極7、エッチング停止膜8、ダミー・ゲート電極9を例えば SiO_2 からなるサイド・ウォール12、例えば SiO_2 からなる層間絶縁膜14で埋め込んでから、ダミー・ゲート電極9を除去する。
- (4) ダミー・ゲート電極9を除去した跡にタングステン(W)など高融点金属からなる第二層目のゲート電極15を形成する。尚、13は高融点金属シリサイド膜であるが、これは必須ではない。

この後、第二層目のゲート電極15上には、例

えばアルミニウム(Al)などからなるゲート電極・配線などを形成するものである。

このように、本発明では、ゲート絶縁膜6上の第一層目のゲート電極7は形成したままの状態に残されるので、ゲート絶縁膜6がダメージを受けることはなく、また、ダミー・ゲート電極9を除去する際のエッチングはエッチング停止膜8に依って自動的に停止されるから、その制御は必要としない。

このようなことから、本発明に依る半導体装置の製造方法に於いては、半導体基板(例えばp型シリコン半導体基板1)上にゲート絶縁膜(例えばゲート絶縁膜6)とゲート電極(例えばゲート電極7)とダミー・ゲート電極(例えばダミー・ゲート電極9)とを形成する工程と、次いで、それらゲート電極パターンをマスクとするセルフ・アライメント方式に依る不純物のイオン注入及び注入された不純物を活性化する為の熱処理を行ってソース領域(例えばn⁻型ソース領域10)及びドレイン領域(n⁻型ドレイン領域11)を形

成する工程と、次いで、それらゲート電極パターンを埋める絶縁膜(例えばサイド・ウォール12及び層間絶縁膜14)を形成してから前記ダミー・ゲート電極のみを除去する工程と、次いで、前記ダミー・ゲート電極を除去した跡に高融点金属(例えばW膜15)を埋め込む工程とを含んでなるよう構成する。

(作用)

前記手段を採ることに依り、ゲート絶縁膜はゲート電極となるゲート電極膜を積層形成した当初の状態をそのまま維持して何等のダメージも受けることがなく、また、ダミー・ゲート電極の跡に埋め込まれる高融点金属は、ソース領域及びドレイン領域の不純物を活性化する為の高温熱処理を行った後に選択成長されるのであるから、剝離する虞は皆無であり、そして、高融点金属が高温に曝されないことから、 SiO_2 などと反応して抵抗値が上昇するなどの虞はなく、更にまた、ソース領域及びドレイン領域を形成するイオン注入時にはダミー・ゲート電極が存在しているので、不

純物イオンがゲート電極を突き抜ける虞はない。

(実施例)

第3図乃至第12図は本発明一実施例を解説する為の工程要所に於ける半導体装置の要部切断側面図を表し、以下、これ等の図を参照しつつ説明する。尚、第1図及び第2図に於いて用いた記号と同記号は同部分を示すか或いは同じ意味を持つものとする。尚、ここでは、サリサイド(self-aligned silicide: SALICIDE)構造をもつMIS電界効果半導体装置を対象としたが、これに限定されるものではない。

第3図参照

- (1) 熱酸化法を適用することに依り、p型シリコン半導体基板1に厚さ例えば200(Å)程度の SiO_2 膜2を形成する。この SiO_2 膜2は、この上に形成する耐酸化性マスクである窒化シリコン(Si_3N_4)膜とシリコン半導体基板1との間に生成される応力を緩和する。

第4図参照

(2) CVD法を適用することに依り、厚さ例えば1500(Å)程度の Si_3N_4 膜3を形成し、通常のフォトリソグラフィ技術を適用することに依り、 Si_3N_4 膜3のパターニングを行って能動素子形成領域を覆うもののみを残して他は除去する。

(3) イオン注入法を適用することに依り、例えば硼素(B)イオンを高濃度に打ち込み、 p^+ 型チャネル・カット領域4を形成する。

第5図参照

(4) 湿性酸化雰囲気中で熱処理を行って SiO_2 からなる素子間分離絶縁膜5を形成する。

(5) 耐酸化性マスクとして使用した Si_3N_4 膜3及び緩衝膜として使用した SiO_2 膜2を除去し、シリコン半導体基板1の能動素子形成領域を露出させる。

第6図参照

(6) CVD法を適用することに依り、厚さ例えば500(Å)程度の不純物含有多結晶シリコン

からなるゲート電極膜を形成し、次いで、スパッタリング法を適用することに依り、厚さ例えば300(Å)程度のTiNからなるエッチング停止膜8を形成し、次いで、CVD法を適用することに依り、厚さ例えば2000(Å)程度の多結晶シリコンからなるダミー・ゲート電極膜を形成する。

(7) 通常のフォトリソグラフィ技術を適用することに依り、前記ゲート電極膜、エッチング停止膜、ダミー・ゲート電極膜のパターニングを行ってゲート電極7、ゲート電極形状のエッチング停止膜8、ダミー・ゲート電極9を形成する。

第7図参照

(8) イオン注入法を適用することに依り、ドーズ量を例えば $4 \times 10^{13} (\text{cm}^{-2})$ 、加速エネルギーを例えば60(KeV)として磷(P)イオンの打ち込みを行って n^- 型ソース領域10並びに n^- 型ドレイン領域11をセルフ・アライメント方式で形成する。

第8図参照

(9) CVD法を適用することに依り、厚さ例えば2000(Å)の SiO_2 膜を形成し、次いで、エッチング・ガスを $\text{CF}_4 + \text{H}_2$ とする反応性イオン・エッチング(reactive ion etching: RIE)法を適用することに依り、前記 SiO_2 膜の異方性エッチングを行ってサイド・ウォール12を形成する。

(10) イオン注入法を適用することに依り、ドーズ量を例えば $4 \times 10^{15} (\text{cm}^{-2})$ 、加速エネルギーを例えば70(KeV)として砒素(As)イオンの打ち込みを行って n^+ 型ソース領域10'及び n^+ 型ドレイン領域11'を形成する。

(11) RTA(rapid thermal anneal)法を適用することに依り、工程(8)及び(10)でイオン注入されたPイオン及びAsイオンの活性化を行う。

これに依って、 n^- 型ソース領域10並びに n^+ 型ソース領域10'、 n^- 型ドレイン領域11並びに n^+ 型ドレイン領域11'は実際に

動作し得るものとなる。

(12) スパッタリング法を適用することに依り、厚さ例えば400(Å)のTi膜を形成し、次いで、RTA法を適用することに依り、熱処理を行ってTiとシリコンとを反応させ、チタン・シリサイド(TiSi_2)膜13を形成する。

この場合、 TiSi_2 膜13は、サイド・ウォール12が存在していることから、ダミー・ゲート電極9、ソース領域10、ドレイン領域11の上のみに生成される。

第9図参照

(13) CVD法を適用することに依り、できる限りの低温で厚さ例えば4000(Å)の SiO_2 膜14を形成する。尚、このようなCVD法に依る SiO_2 膜でなく、スピノ・オン・ガラス(spin on glass: SOG)膜を利用しても良い。

ここで形成される SiO_2 膜14等は表面の凹凸が吸収されて平坦になる程度に厚く形成することが必要である。

00 エッチング・ガスを $CF_4 + H_2$ とするRIE法を適用することに依り、 SiO_2 膜14のエッチ・バックを行ってダミー・ゲート電極9の表面を覆っている $TiSi_2$ 膜13を露出させる。

第10図参照

05 例えば1~2(%)程度に希釈されたフッ化水素酸をエッチャントとする浸漬法を適用することに依り、ダミー・ゲート電極9を覆っている $TiSi_2$ 膜13を除去し、次いで、エッチング・ガスを $CF_4 + O_2$ とするプラズマ・エッチング法を適用することに依り、ダミー・ゲート電極9をエッチングして除去する。尚、このエッチングは TiN からなるエッチング停止膜8の表面で自動的に停止する。

06 通常のフォトリソグラフィ技術に於けるレジスト・プロセス及びエッチング・ガスを $CF_4 + H_2$ とするRIE法を適用することに依り、 SiO_2 膜14の選択的エッチングを行ってソース電極コンタクト窓及びドレイン電極コンタ

クト窓を形成する。尚、この場合のエッチングは $TiSi_2$ 膜13で自動的に停止する。

第11図参照

07 例えばアセトン中に浸漬するなどして電極コンタクト窓を形成する為のマスクに用いたフォトリソレジスト膜を除去し、次いで、CVD法を適用することに依り、各電極コンタクト窓内に厚さ例えば500(Å)のW膜15を選択成長させる。

第12図参照

08 スパッタリング法及び通常のフォトリソグラフィ技術を適用することに依り、例えばAからなるソース電極・配線16S、ドレイン電極・配線16D、ゲート電極・配線16Gを形成する。

前記のようにして製造したMIS電界効果半導体装置に於けるゲート絶縁膜6はゲート電極7となる不純物含有多結晶シリコンからなるゲート電極膜を形成したときの状態をそのまま維持していること、また、選択成長されたW膜15は不純物

活性化の高温熱処理は受けないことが理解されよう。尚、本発明は、前記実施例に見られるサリサイド構造のMIS電界効果半導体装置のみならず、通常構造或いはLDD(Lightly doped drain)構造などのそれに実施できることは言うまでもない。また、前記実施例では、多結晶シリコンを材料とするダミー・ゲート電極9を用いたが、これは、ゲート電極7とのエッチング選択比が充分に高い材料に代替することができ、そのようにするとエッチング停止膜8は不要となる。更にまた、前記説明に於ける高融点金属は、そのシリサイドであっても同様である。

(発明の効果)

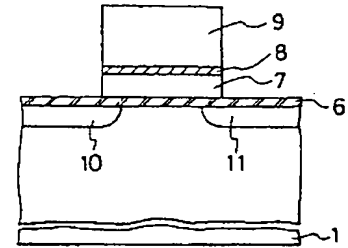
本発明に依る半導体装置の製造方法に於いては、ゲート絶縁膜上に形成するゲート電極パターンを真の電極とダミーの電極とを積層して構成し、それ等の電極をマスクとするセルフ・アライメント方式でソース領域及びドレイン領域を形成し、その後、ダミーの電極を除去し、その跡に高融点金属を埋め込むようにしている。

前記構成を採ることに依り、ゲート絶縁膜はゲート電極となるゲート電極膜を積層形成した当初の状態をそのまま維持して何等のダメージも受けることがなく、また、ダミー・ゲート電極の跡に埋め込まれる高融点金属は、ソース領域及びドレイン領域の不純物を活性化する為の高温熱処理を行った後に選択成長されるのであるから、剥離する虞は皆無であり、そして、高融点金属が高温に曝されないことから変質は発生せず、ゲートを全体として薄く構成してもその抵抗値を低く維持することができ、更にまた、ソース領域及びドレイン領域を形成するイオン注入時にはダミー・ゲート電極が存在しているので、不純物イオンがゲート電極を突き抜ける虞はない。

4 図面の簡単な説明

第1図並びに第2図は本発明の原理を説明する為の工程要所に於ける半導体装置の要部切断側面図、第3図乃至第12図は本発明一実施例を説明する為の工程要所に於ける半導体装置の要部切断側面図をそれぞれ表している。

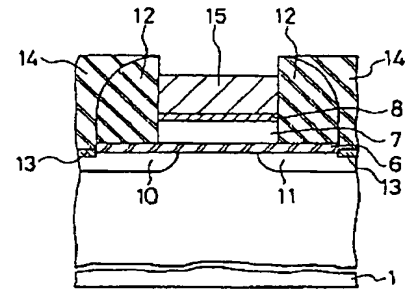
図に於いて、1はp型シリコン半導体基板、4はp⁺型チャネル・カット領域、5はフィールド絶縁膜、6はゲート絶縁膜、7はゲート電極、8はエッチング停止膜、9はダミー・ゲート電極、10はn⁻型ソース領域、11はn⁻型ドレイン領域、12はサイド・ウォール、13はTiSi₂膜、14は層間絶縁膜、15はW膜、16Sはソース電極・配線、16Dはドレイン電極・配線、16Gはゲート電極・配線をそれぞれ示している。



本発明の原理を説明する為の工程要所に於ける半導体装置の要部切断側面図

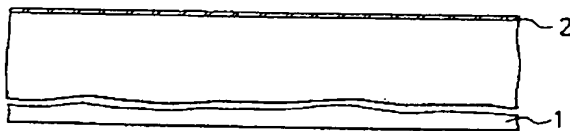
第1図

特許出願人 富士通株式会社
代理人弁理士 柏谷昭司
代理人弁理士 渡邊弘一



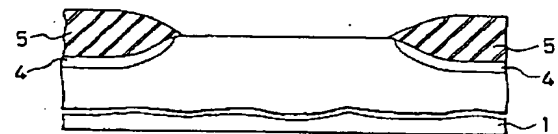
本発明の原理を説明する為の工程要所に於ける半導体装置の要部切断側面図

第2図



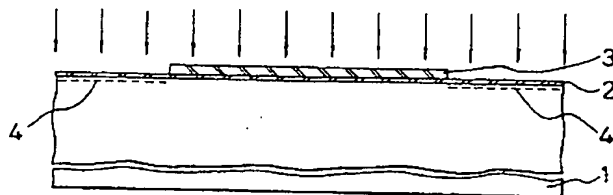
一実施例を説明する為の工程要所に於ける半導体装置の要部切断側面図

第3図



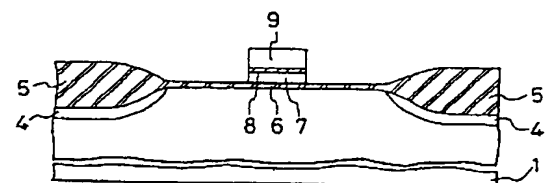
一実施例を説明する為の工程要所に於ける半導体装置の要部切断側面図

第5図



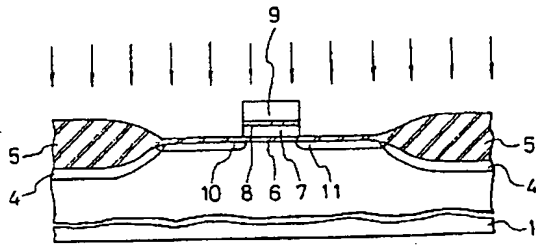
一実施例を説明する為の工程要所に於ける半導体装置の要部切断側面図

第4図



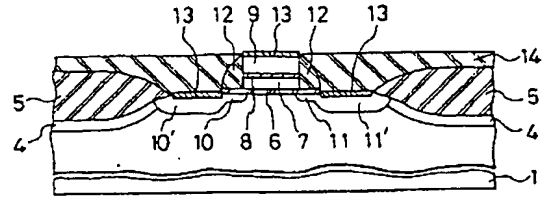
一実施例を説明する為の工程要所に於ける半導体装置の要部切断側面図

第6図



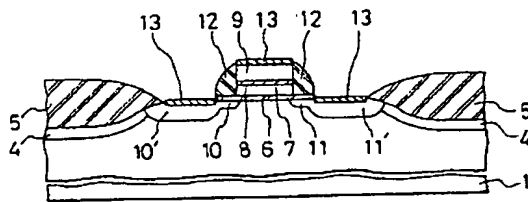
一実施例を説明する為の工程要所に於ける半導体装置の要部切断側面図

第7図



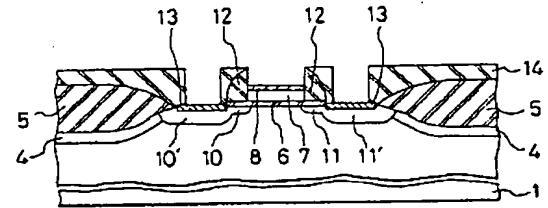
一実施例を説明する為の工程要所に於ける半導体装置の要部切断側面図

第9図



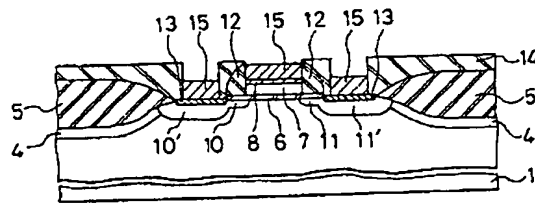
一実施例を説明する為の工程要所に於ける半導体装置の要部切断側面図

第8図



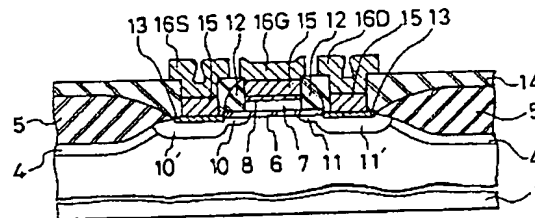
一実施例を説明する為の工程要所に於ける半導体装置の要部切断側面図

第10図



一実施例を説明する為の工程要所に於ける半導体装置の要部切断側面図

第11図



一実施例を説明する為の工程要所に於ける半導体装置の要部切断側面図

第12図

THIS PAGE BLANK (USPTO)